



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08204195

(43)Date of publication of application: 09.08.1996

(51)Int.Cl.

H01L 29/786  
H01L 21/336

(21)Application number: 07011098

(71)Applicant:

MATSUSHITA ELECTRIC WORKS  
LTD

(22)Date of filing: 26.01.1995

(72)Inventor:

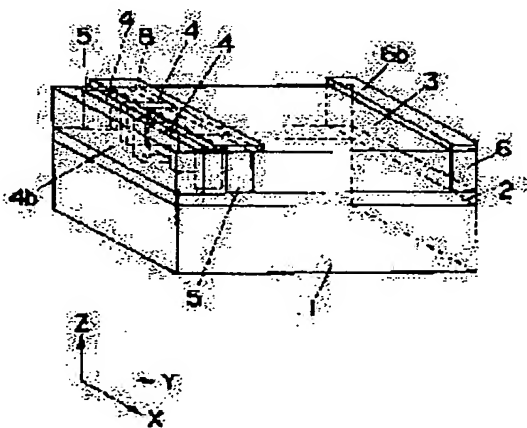
HAYAZAKI YOSHIKI  
MAEDA MITSUhide  
SUZUMURA MASAHICO  
SHIRAI YOSHIFUMI  
KISHIDA TAKASHI  
TAKANO HITOMICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce ON-resistance although breakdown voltage is high and element area is small.  
CONSTITUTION: A source region 4 and a drain region 6 of first conductivity type are separately formed on an insulating layer 2 of a semiconductor substrate.

The source region 4 is surrounded by a second conductivity type well region 5. An insulated gate structure 8 is coupled between the source region 4 and the drain region 6. The source region 4 and the insulated gate structure 8 are formed to reach the insulating layer 2 from the main surface of the semiconductor substrate. The source region 4 is divided into a plurality of sections in the X direction, and a part of the insulated gate structure 8 is inserted in the part between the source regions 4. Thereby a channel region can be lengthened in the depth direction (Z direction) of the semiconductor substrate, so that the ON resistance can be reduced without increasing the element area. By satisfying the RESURF condition, high breakdown voltage is realized





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204195

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/336

H 0 1 L 29/78

6 1 7 S

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平7-11098

(22) 出願日 平成7年(1995)1月26日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 早崎 嘉城

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 前田 光英

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 鈴木 正彦

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 弁理士 石田 長七 (外2名)

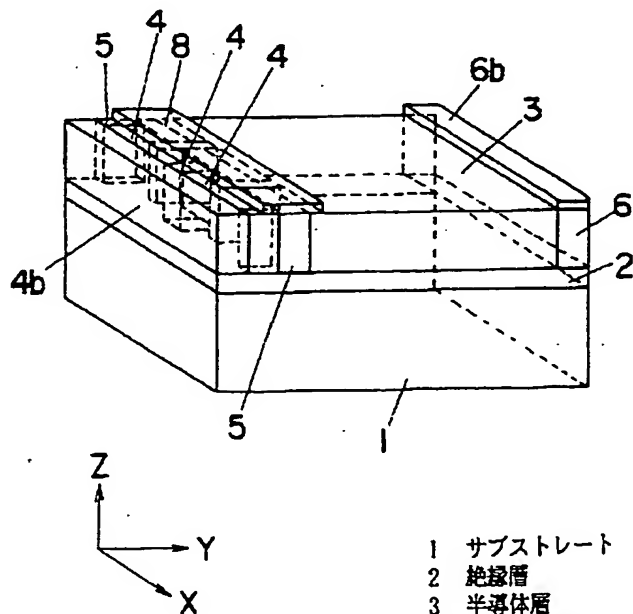
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】耐圧が高くしかも素子面積が小さいながらもオン抵抗を低減することができる半導体装置を提供する。

【構成】第1導電型のソース領域4とドレイン領域6とが、半導体基板の絶縁層2の上に離間して形成される。ソース領域4は第2導電型のウェル領域5に囲まれる。ソース領域4とドレイン領域6との間には絶縁ゲート構造体8が結合される。ソース領域4および絶縁ゲート構造体8は、半導体基板の主平面から絶縁層2に到達するように形成される。また、ソース領域4はX方向において複数個に分割され、各ソース領域4の間に絶縁ゲート構造体8の一部が挿入される。この構造により、チャンネル領域を半導体基板の深さ方向(Z方向)に延長することができ、素子面積を増加させることなくオン抵抗を低減させることができる。また、RESURF条件を満たすことによって高耐圧になる。



- 1 サブストレート
- 2 絶縁層
- 3 半導体層
- 4 ソース領域
- 5 ウェル領域
- 6 ドレイン領域
- 8 絶縁ゲート構造体

## 【特許請求の範囲】

【請求項1】 半導体基板の主平面に沿って互いに離間して形成された第1導電型のソース領域およびドレイン領域と、ソース領域を囲むように形成された第2導電型のウェル領域と、ソース領域とドレイン領域との間に結合された絶縁ゲート構造体とを備える横型の半導体装置において、ソース領域とドレイン領域との間のチャンネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長したことを特徴とする半導体装置。

【請求項2】 半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、ソース領域は半導体層を主平面から絶縁層まで貫通し、ウェル領域は半導体層を主平面から絶縁層まで貫通し、ソース領域のドレイン領域との対向面に沿ってソース領域を複数個に分割するとともに、分割されたソース領域の間に絶縁ゲート構造体の一部が挿入されて成ることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、ソース領域は半導体層を主平面から絶縁層まで貫通し、ウェル領域は半導体層を主平面から絶縁層まで貫通し、ソース領域における絶縁層との対向面には切欠が形成され、絶縁ゲート構造体の一部には切欠に挿入されてソース領域と絶縁層との間に介装される突部が形成されて成ることを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体基板の主平面に沿って互いに離間して形成された第1導電型のエミッタ領域および第2導電型のコレクタ領域と、エミッタ領域を囲むように形成された第2導電型のウェル領域と、エミッタ領域とコレクタ領域との間に結合された絶縁ゲート構造体とを備える横型の半導体装置において、エミッタ領域とコレクタ領域との間のチャンネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長したことを特徴とする半導体装置。

【請求項5】 半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、エミッタ領域は半導体層を主平面から絶縁層まで貫通し、ウェル領域は半導体層を主平面から絶縁層まで貫通し、エミッタ領域のコレクタ領域との対向面に沿ってエミッタ領域を複数個に分割するとともに、分割されたエミッタ領域の間に絶縁ゲート構造体の一部が挿入されて成ることを特徴とする請求項4記載の半導体装置。

【請求項6】 半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、エミッタ領域は半導体層を主平面から絶縁層まで貫通し、ウェル領域は半導体層を主平面から絶縁層まで貫通し、エミッタ領域における絶縁層との対向面には切欠が形成され、絶縁ゲート構造体の一部には切欠に挿入されてエ

ミッタ領域と絶縁層との間に介装される突部が形成されて成ることを特徴とする請求項4記載の半導体装置。

【請求項7】 請求項1ないし請求項6のいずれかに記載の半導体装置を製造するに際して、半導体基板の主平面において素子領域を囲む絶縁分離領域を形成するためのトレンチ溝と、絶縁ゲート構造体を深さ方向に延長するためのトレンチ溝とを半導体基板の主平面に同時に形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、主として電力変換用の集積回路に用いるのに適した横型の半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】 最近では、電力変換等に用いるパワー集積回路の高耐圧化に伴い、集積回路内での素子間を絶縁層によって完全に分離できるSOI (silicon-on-insulator) 構造を有した半導体装置が注目されている。この種の半導体装置として、図35、図36に示すようなラテラル二重拡散MOSFET (以下、LD-MOSFETと略称する) が知られている。図示したLD-MOSFETは、シリコンのサブストレート1の上に埋込酸化膜よりなる絶縁層2を介してN型の半導体層3が形成され、半導体層3の一つの主平面 (図の上面) 内に、N型のソース領域4と、ソース領域4を囲むP型のウェル領域5と、ウェル領域5とは離間したN型のドレイン領域6と、ソース領域4とドレイン領域6との間のチャンネル領域7に結合した絶縁ゲート構造体8とが形成された構造を有する。

【0003】 この種のLD-MOSFETには、表面電界の緩和に関する最適条件としてRESURF条件が存在することが知られている。RESURF条件は、活性シリコン層の厚みを $t_A$  [cm] とドリフト領域濃度を $c_D$  [atm/cm<sup>3</sup>] とするとき、 $t_A \times c_D = 1 \times 10^{12}$  [atm/cm<sup>2</sup>] と表される。RESURF条件が満たされると、LD-MOSFETの活性層内の電界の局所集中が緩和され、電界は高耐圧に適した分布になる。しかも、RESURF条件を満たすように形成されたLD-MOSFETは高耐圧になるだけではなく、高温でのリークが少なく、他の素子を同一チップ上に形成するのが容易になるという長所を有している。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上述したLD-MOSFETでは、RESURF条件によって活性シリコン層の厚みとドリフト領域濃度との関係がトレードオフになっているものであるから、耐圧を一定とした場合に、オン抵抗の低減を図るために活性シリコン層の厚みを大きくしようとするとドリフト領域濃度を小さくしなければならず、結局はオン抵抗を小さくすることができないのである。しかも、電流通路は図37に斜

線部で示す領域であって、主平面の近傍にのみ分布するから、活性シリコン層の厚みを大きくしてもオン抵抗を低減することができないのである。一方、チャネル領域7の幅を広げればオン抵抗を低減させることができるのであるが、素子面積が大きくなるという問題が生じることになる。

【0005】結局、従来のLD-MOSFETでは、耐圧を維持しつつ素子面積を増大させずにオン抵抗を低減させることは困難である。本発明は上記事由に鑑みて為されたものであり、その目的は、耐圧が高くしかも素子面積が小さいながらもオン抵抗を低減することができる半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】請求項1の発明は、半導体基板の主平面に沿って互いに離間して形成された第1導電型のソース領域およびドレイン領域と、ソース領域を囲むように形成された第2導電型のウエル領域と、ソース領域とドレイン領域との間に結合された絶縁ゲート構造体とを備える横型の半導体装置において、ソース領域とドレイン領域との間のチャネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長したことを特徴とする。

【0007】請求項2の発明は、半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、ソース領域は半導体層を主平面から絶縁層まで貫通し、ウエル領域は半導体層を主平面から絶縁層まで貫通し、ソース領域のドレイン領域との対向面に沿ってソース領域を複数個に分割するとともに、分割されたソース領域の間に絶縁ゲート構造体の一部が挿入されて成ることを特徴とする。

【0008】請求項3の発明は、半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、ソース領域は半導体層を主平面から絶縁層まで貫通し、ウエル領域は半導体層を主平面から絶縁層まで貫通し、ソース領域における絶縁層との対向面には切欠が形成され、絶縁ゲート構造体の一部には切欠に挿入されてソース領域と絶縁層との間に介装される突部が形成されて成ることを特徴とする。

【0009】請求項4の発明は、半導体基板の主平面に沿って互いに離間して形成された第1導電型のエミッタ領域および第2導電型のコレクタ領域と、エミッタ領域を囲むように形成された第2導電型のウエル領域と、エミッタ領域とコレクタ領域との間に結合された絶縁ゲート構造体とを備える横型の半導体装置において、エミッタ領域とコレクタ領域との間のチャネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長したことを特徴とする。

【0010】請求項5の発明は、半導体基板はサブスト

レートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、エミッタ領域は半導体層を主平面から絶縁層まで貫通し、ウエル領域は半導体層を主平面から絶縁層まで貫通し、エミッタ領域のコレクタ領域との対向面に沿ってエミッタ領域を複数個に分割するとともに、分割されたエミッタ領域の間に絶縁ゲート構造体の一部が挿入されて成ることを特徴とする。

【0011】請求項6の発明は、半導体基板はサブストレートに絶縁層を介して第1導電型の半導体層を積層した構造を有し、エミッタ領域は半導体層を主平面から絶縁層まで貫通し、ウエル領域は半導体層を主平面から絶縁層まで貫通し、エミッタ領域における絶縁層との対向面には切欠が形成され、絶縁ゲート構造体の一部には切欠に挿入されてエミッタ領域と絶縁層との間に介装される突部が形成されて成ることを特徴とする。

【0012】請求項7の発明は、請求項1ないし請求項6のいずれかに記載の半導体装置を製造するに際して、半導体基板の主平面において素子領域を囲む絶縁分離領域を形成するためのトレンチ溝と、絶縁ゲート構造体を深さ方向に延長するためのトレンチ溝とを半導体基板の主平面に同時に形成することを特徴とする。

【0013】

【作用】本発明の構成によれば、チャネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長しているので、チャネル領域の電流経路が半導体基板の主平面の近傍だけでなく、半導体基板の比較的深い部分まで形成されることになる。その結果、素子面積を増加させることなくオン抵抗を減少させることが可能になる。また、このような構造を採用しても電界の集中する部位に変化はないから、RESURF条件を満たすようにすれば、十分な耐圧を得ることができる。

【0014】とくに、請求項2、3、5、6の発明の構成によれば、ソース領域ないしエミッタ領域と絶縁ゲート領域とが半導体基板の主平面から絶縁層まで到達するから、半導体基板において絶縁層の上に形成した半導体層の厚み方向のほぼ全域をチャネル領域として利用できることになり、オン抵抗を大幅に低減できることになる。

【0015】また、請求項3、6の発明の構成によれば、半導体基板の主平面の近傍ではソース領域ないしエミッタ領域が分割されることがなく、請求項2、5の発明の構成に比較してオン抵抗を一層低減することができる。請求項7の発明の方法を採用すれば、絶縁分離領域と絶縁ゲート構造体とに必要なトレンチ溝を同時に形成することができ、工程の削減につながる。

【0016】

【実施例】

（実施例1）本実施例ではLD-MOSFETを例示する。図1ないし図6に示すように、従来構成との主な相

違点は、ソース領域4とウェル領域5と絶縁ゲート構造体8との形状にある。すなわち、サブストレート1の上に絶縁層2を介してN型の半導体層3を形成した点は従来構成と同様であって、ソース領域4は絶縁層2に到達するように半導体層3を厚み方向に貫通して形成されている。ソース領域4には半導体層3の幅方向(図のX方向)において複数個(ここでは2個)に分割されており、各ソース領域4におけるドレイン領域6との対向面には切欠部4aがそれぞれ形成されている。また、ソース領域4を囲むP型のウェル領域5も半導体層3の厚み方向に貫通して絶縁層2に到達するように形成されている。ウェル領域5は、図3に示す水平断面(XY平面に平行な断面)によって明らかなように、複数個(ここでは3個)に分割されており、分割された各ウェル領域5の間にソース領域4が挟まれる。各ウェル領域5の間に形成される間隙5aの位置はソース領域4の切欠部4aに一致している。絶縁ゲート構造体8は、半導体層3の主平面に沿って形成される部位からソース領域4の切欠部4aおよび各ウェル領域5の間隙5aに挿入される複数個(ここでは2個)の脚部8aを延設した形状になっている。ここにおいて、ソース領域4にはソース電極4bが電氣的に接続され、ドレイン領域6にはドレイン電極6bが電氣的に接続されている。

【0017】上記構成によれば、図2に示す縦断面(XZ平面に平行な断面)によって明らかなように、チャンネル領域7が主平面の近傍だけではなく、絶縁層2の近傍まで形成されるから、素子の厚み方向(Z方向)のほぼ全域に電流通路を形成することができる。つまり、電流通路は図7に斜線部で示す領域となる。その結果、素子面積を増加させることなくチャンネル領域7の幅を大きくすることができ、オン抵抗を低減することができる。また、電界の集中するウェル領域5およびドレイン領域6の構造は従来と同様であるから、RESURF条件を満たすようにすれば、同程度の耐圧を得ることができる。すなわち、耐圧を維持し素子面積を増加させることなくオン抵抗を低減することができるのである。

【0018】(実施例2)本実施例は実施例1と同様の構成を有したLD-MOSFETであって、図8ないし図10に示すように、ソース電極4bを主平面に沿って配置した点のみが実施例1と相違する。この構成を採用することによって、実施例1に比較して素子面積を一層低減することができる。他の構成は実施例1と同様である。

【0019】(実施例3)本実施例もLD-MOSFETに関するものであって、図11ないし図16に示すように、ソース領域4とウェル領域5との形状が異なるものである。すなわち、実施例1ではソース領域4を2分割していたが、本実施例ではソース領域4における主平面側の部位を連結した形状としてある。すなわち、従来例で示した構成のソース領域4の下部において、幅方向

(X方向)の両端部と中央部との3か所に切欠4cを形成している。ウェル領域5は実施例1と同様に3分割しているが、分割した各ウェル領域5の一部にそれぞれ突部5cを形成し、突部5cを切欠4cに挿入することによって、ウェル領域5の一部をソース領域4と絶縁層2との間に挿入する形としてある。他の構成は実施例1と同様である。

【0020】本実施例の構成では、図12に示すように、チャンネル領域7が主平面付近だけではなく絶縁層2の近傍まで形成されるから、素子の厚み方向の略全域にわたって電流通路を確保することができ、結果的に耐圧を低下させず素子面積を増加させることなくオン抵抗を低減することができる。加えて、絶縁ゲート構造体8とソース領域4との隣接部分が連続的に分布するように構成されているから、主平面に沿って形成されているチャンネル領域7がウェル領域5によって分断されることがなく、連続的にチャンネル領域7を形成することができることによりオン抵抗を一層低減できることになる。本実施例における電流通路を図17に斜線部で示す。

【0021】(実施例4)本実施例は、図18ないし図20に示すように、ソース電極4bを主平面に沿って形成した点のみが実施例3と相違し、他の構成については実施例3と同様である。

(実施例5)本実施例は、ラテラル絶縁ゲートバイポーラトランジスタ(以下、L-IGBTと略称する)を示し、図21ないし図23のように、LD-MOSFETと類似した構成を有している。すなわち、サブストレート1の上には絶縁層2を介して半導体層3が形成され、半導体層3にはN型のエミッタ領域4'が主平面から絶縁層2まで貫通するように形成される。エミッタ領域4'は実施例1と同様に2分割され、各エミッタ領域4'はP型のウェル領域5で囲まれる。半導体層3にはウェル領域5から離間してP型のコレクタ領域6'が形成される。半導体層3の厚み内でエミッタ領域4'とウェル領域5とに跨る一面にはエミッタ電極4b'が形成され、コレクタ領域6'には主平面に沿ってコレクタ電極6b'が形成される。絶縁ゲート構造体8については実施例1と同様に形成される。要するに、実施例1との相違点は、N型のドレイン領域6に代えてP型のコレクタ領域6'を設けた点であって、L-IGBTを構成しているのである。他の構成および動作は実施例1と同様である。

【0022】(実施例6)本実施例では、実施例3と同様の構成を有したL-IGBTを示す。すなわち、図24ないし図26に示すように、構造は実施例3に示したLD-MOSFETと同様である。ただし、ソース領域4と同様の構成のエミッタ領域4'を備え、N型のドレイン領域6に代えてP型のコレクタ領域6'を備える点が相違する。他の構成は実施例3と同様であって、実施例3におけるソース電極4bがエミッタ電極4b'とな

り、ドレイン電極6bがコレクタ電極6b'として機能するのである。

【0023】ところで、実施例2に示した半導体装置は、図27ないし図34に示す製造工程で作製することができる。以下に実施例1に示した半導体装置の製造手順を説明する。この半導体装置を製造するに際しては、図27に示すSOI構造のウエハ10を用いる。このウエハ10は、サブストレータ1に絶縁層2を介してN型の半導体層3を積層した構造を有する。まず、図28に示すように、ウエハ10にフィールド酸化膜11およびレジスト膜12を形成しておき、素子間の絶縁分離領域となる箇所と絶縁ゲート構造体8を形成する箇所とにそれぞれトレンチ溝13、14をエッチングにより形成する。ここにおいて、トレンチ溝13、14のエッチング過程では、レジスト膜12は必ずしも必要ではない。

【0024】次に、図29に示すように、熱酸化処理によってトレンチ溝13、14の内側に熱酸化膜15を形成し、さらにポリシリコン16を堆積させた後、絶縁分離領域となるトレンチ溝13のポリシリコン16のみを残して他のポリシリコン16を除去する。ここにおいて、絶縁分離領域となるトレンチ溝13の中に形成される熱酸化膜15の膜厚は素子間の絶縁分離に要する厚みよりも大きく形成されるのはもちろんのことである。

【0025】次の過程では、図30に示すように、絶縁ゲート構造体8に対応するように形成したトレンチ溝14の中のフィールド酸化膜11を除去した後に、ゲート酸化膜17を形成し、絶縁ゲート構造体8となるポリシリコン18を堆積させる。ゲート酸化膜17はフィールド酸化膜11よりも薄く形成される。その後、図31に示すように、主平面にレジスト19を形成するとともに、レジスト19の一部でウェル領域5を形成する部位に開口部20を形成し、ウェル領域5となる部位に半導体層3とは異なる導電型とするための不純物を開口部20を通して導入する。その後、熱処理によって不純物を拡散させる。また、図32に示すように、レジスト19の一部でソース領域4となる部位とドレイン領域6となる部位とに開口部21を形成し、ソース領域4およびドレイン領域6を半導体層3と同じ導電型とするための不純物を開口部21を通して導入し、熱処理によって拡散させる。

【0026】次に、図33に示すように、絶縁ゲート構造体8となる部位のポリシリコン18に層間絶縁膜22を形成し、ソース領域4、ウェル領域5、ドレイン領域6における金属製のソース電極4b、ドレイン電極6bとのコンタクトを形成するためのコンタクト窓23、24を層間絶縁膜22に形成する。最後に、図34に示すように、層間絶縁膜22の上に金属製の電極を形成し、ソース電極4b、ドレイン電極6bをパターニングする。その後、保護膜を形成した後に、ソース電極4b、ドレイン電極6bにボンディングワイヤを接続するため

のボンディング窓を形成すれば、実施例1に示した半導体装置を形成することができる。

【0027】

【発明の効果】本発明は上述のように、チャネル領域が半導体基板の主平面に沿う方向および半導体基板の深さ方向に延長されるように絶縁ゲート構造体を深さ方向に延長しているため、チャネル領域の電流経路が半導体基板の主平面の近傍だけでなく、半導体基板の比較的深い部分まで形成され、その結果、素子面積を増加させることなくオン抵抗を減少させることが可能になるという利点を有する。また、このような構造を採用しても電界の集中する部位に変化はないから、RESURF条件を満たすようにすれば、十分な耐圧を得ることができる。すなわち、耐圧が高く素子面積が比較的小さいながらもオン抵抗を小さくすることができるという利点を有する。

【0028】また、請求項2、3、5、6の発明は、ソース領域ないしエミッタ領域と絶縁ゲート領域とが半導体基板の主平面から絶縁層まで到達するから、半導体基板において絶縁層の上に形成した半導体層の厚み方向のほぼ全域をチャネル領域として利用できるようになり、オン抵抗を大幅に低減できるという利点を有する。さらに、請求項3、6の発明は、半導体基板の主平面の近傍ではソース領域ないしエミッタ領域が分割されることがなく、請求項2、5の発明に比較してオン抵抗を一層低減することができるという利点がある。

【0029】請求項7の発明は、絶縁分離領域と絶縁ゲート構造体とに必要なトレンチ溝を同時に形成することができ、工程の削減につながるという利点がある。

【図面の簡単な説明】

【図1】実施例1を示す斜視図である。

【図2】図1のXZ平面に平行な縦断面図である。

【図3】図1のXY平面に平行な水平断面図である。

【図4】実施例1におけるソース領域を示す斜視図である。

【図5】実施例1におけるウェル領域を示す斜視図である。

【図6】実施例1における絶縁ゲート構造体を示す斜視図である。

【図7】実施例1における電流経路を示す動作説明図である。

【図8】実施例2を示す斜視図である。

【図9】図8のXZ平面に平行な縦断面図である。

【図10】図8のXY平面に平行な水平断面図である。

【図11】実施例3を示す斜視図である。

【図12】図11のXZ平面に平行な縦断面図である。

【図13】図11のXY平面に平行な水平断面図である。

【図14】実施例3におけるソース領域を示す斜視図である。

【図15】実施例3におけるウェル領域を示す斜視図で

ある。

【図16】実施例3における絶縁ゲート構造体を示す斜視図である。

【図17】実施例3における電流経路を示す動作説明図である。

【図18】実施例4を示す斜視図である。

【図19】図18のXZ平面に平行な縦断面図である。

【図20】図18のXY平面に平行な水平断面図である。

【図21】実施例5を示す斜視図である。

【図22】図21のXZ平面に平行な縦断面図である。

【図23】図21のXY平面に平行な水平断面図である。

【図24】実施例6を示す斜視図である。

【図25】図26のXZ平面に平行な縦断面図である。

【図26】図26のXY平面に平行な水平断面図である。

【図27】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図28】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図29】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図30】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図31】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図32】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図33】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図34】実施例2の製造工程を示し、(a)は平面図、(b)は縦断面図である。

【図35】従来例を示す斜視図である。

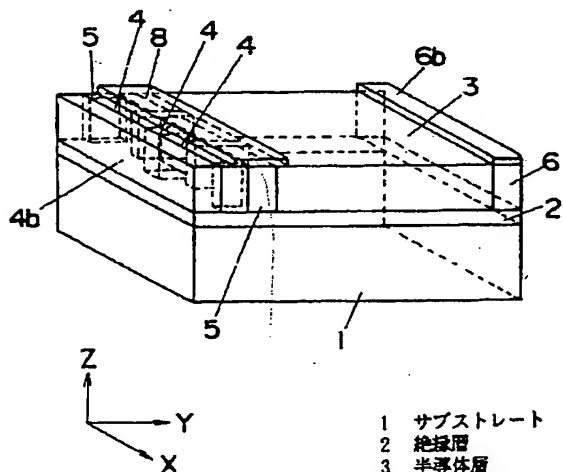
【図36】従来例を示す側面図である。

【図37】従来例における電流経路を示す動作説明図である。

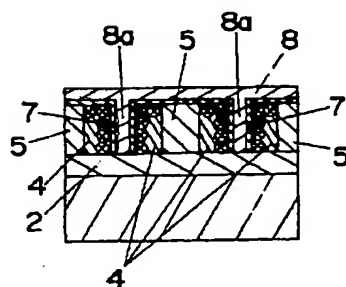
【符号の説明】

- 1 サブストレート
- 2 絶縁層
- 3 半導体層
- 4 ソース領域
- 4' エミッタ領域
- 4c 切欠
- 4c' 切欠
- 5 ウェル領域
- 5c 突部
- 5c' 突部
- 6 ドレイン領域
- 6' コレクタ領域
- 7 チャネル領域
- 8 絶縁ゲート構造体
- 13 トレンチ溝
- 14 トレンチ溝

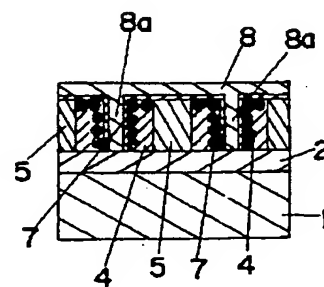
【図1】



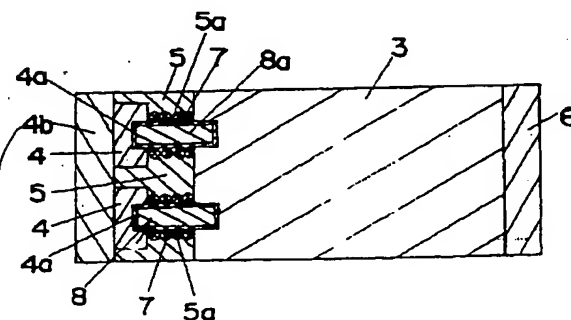
【図2】



【図9】



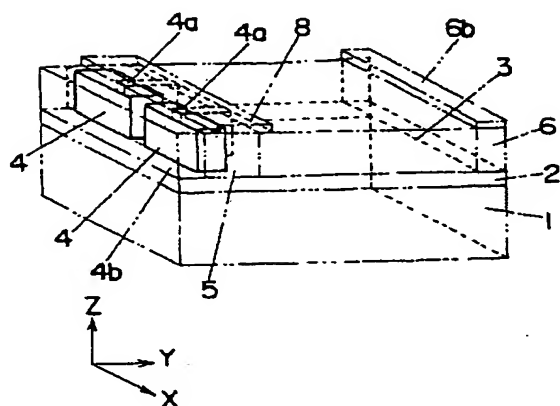
【図3】



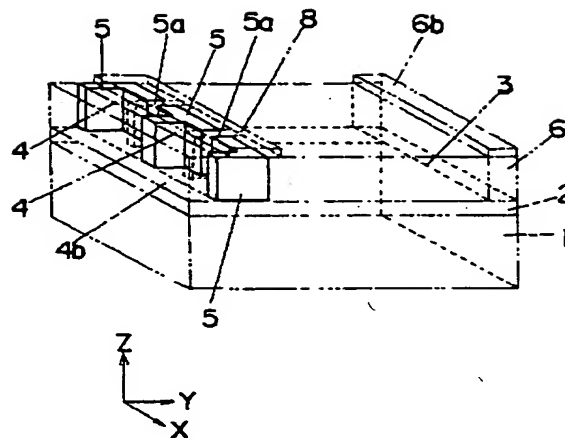
- 1 サブストレート
- 2 絶縁層
- 3 半導体層
- 4 ソース領域
- 5 ウェル領域
- 6 ドレイン領域
- 8 絶縁ゲート構造体

4-2  
電極

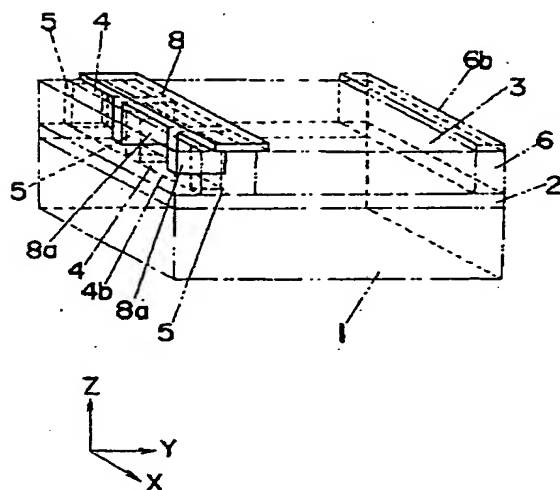
【図4】



【図5】



【図6】



【図7】

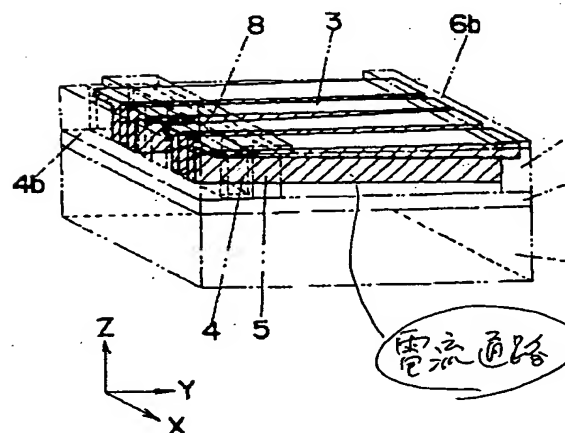
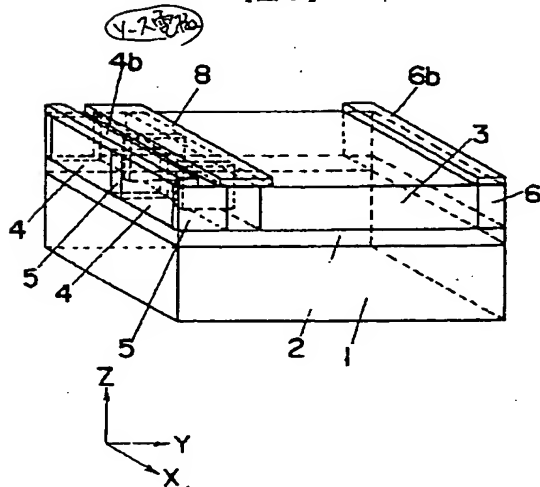
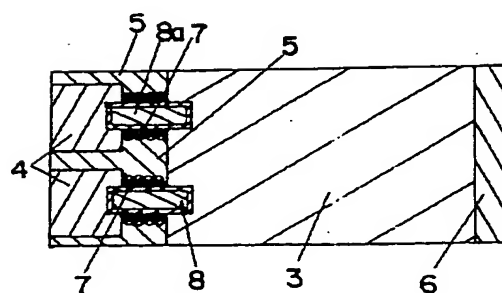


図7

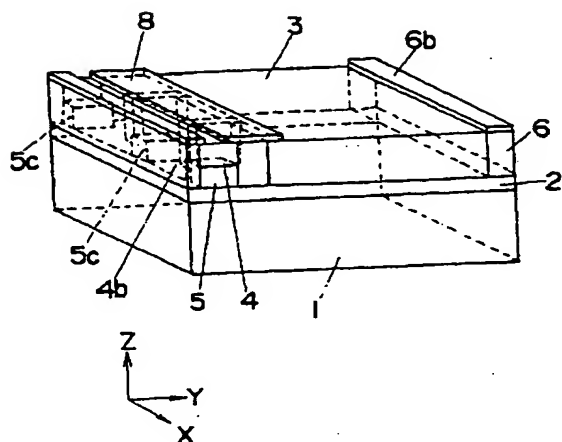
【図8】



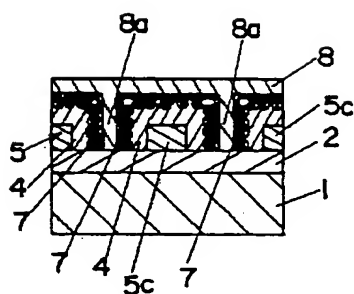
【図10】



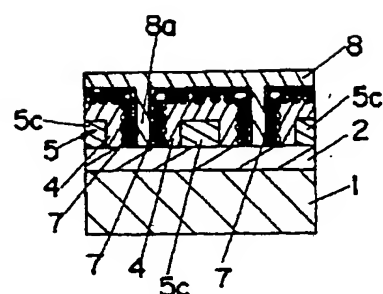
【図11】



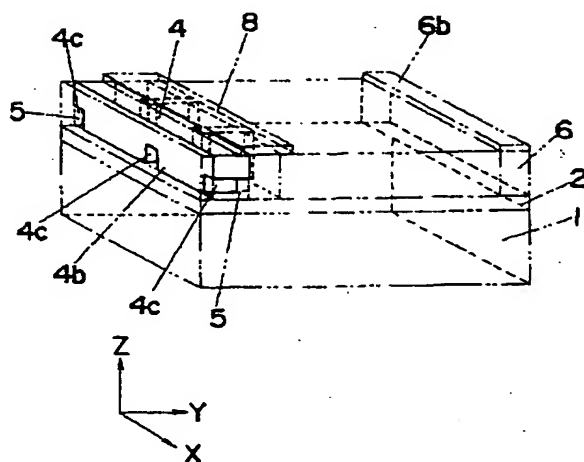
【図12】



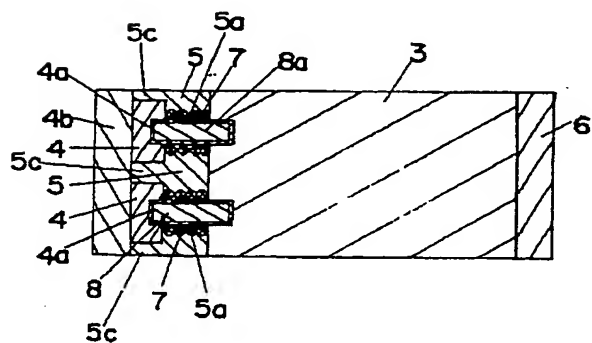
【図19】



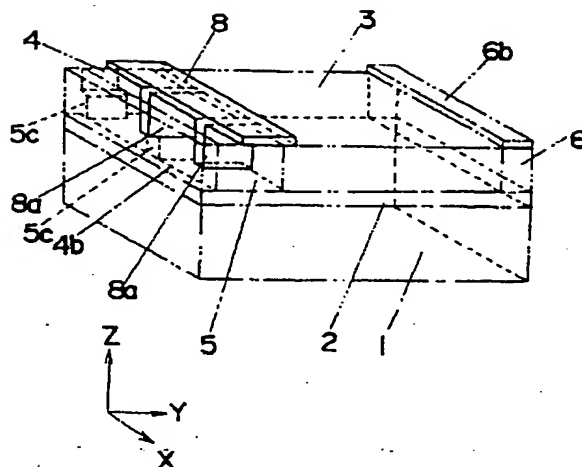
【図14】



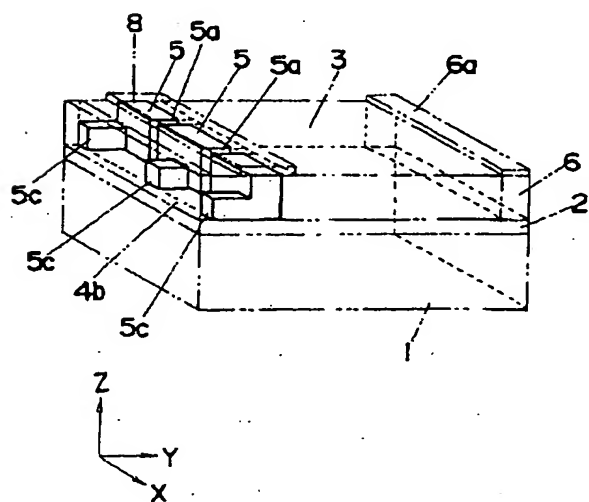
【図13】



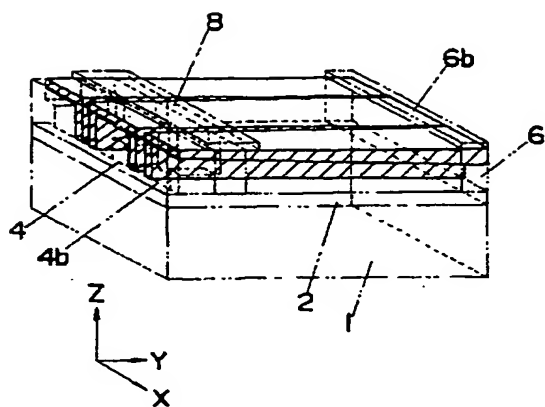
【図16】



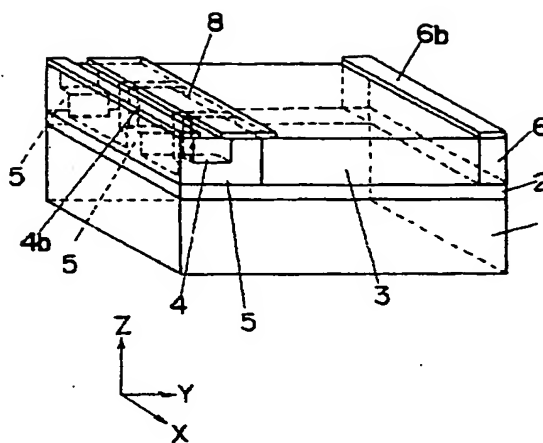
【図15】



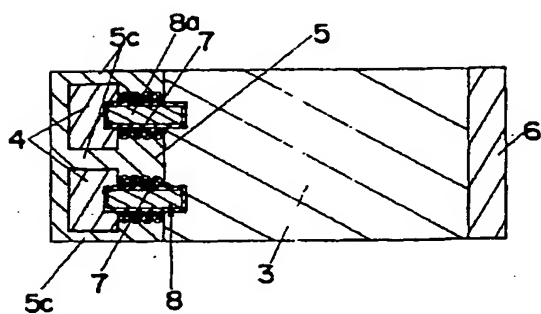
【図17】



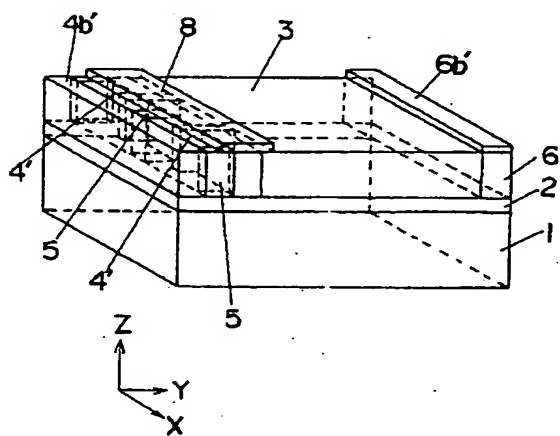
【図18】



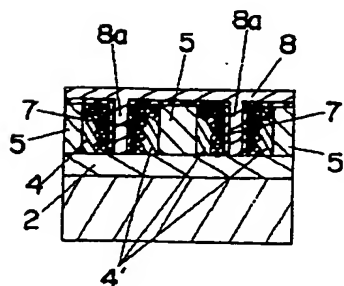
【図20】



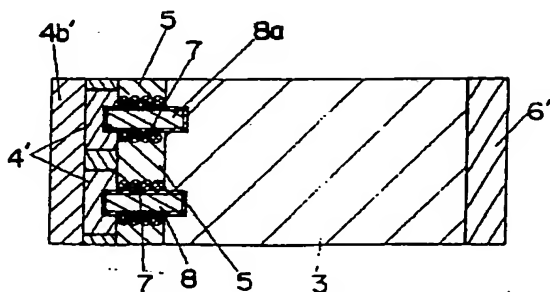
【図21】



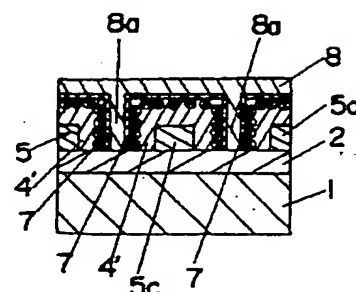
【図22】



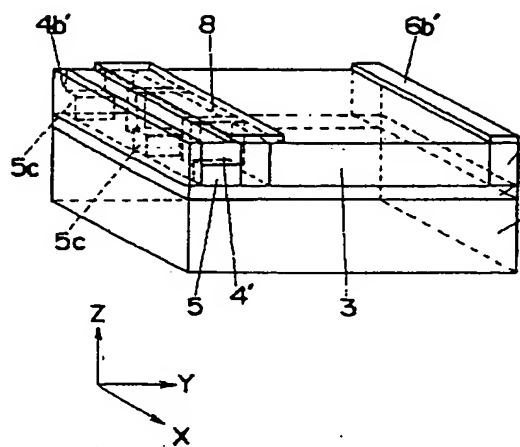
【図23】



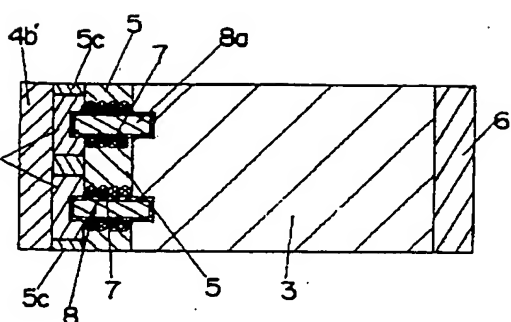
【図25】



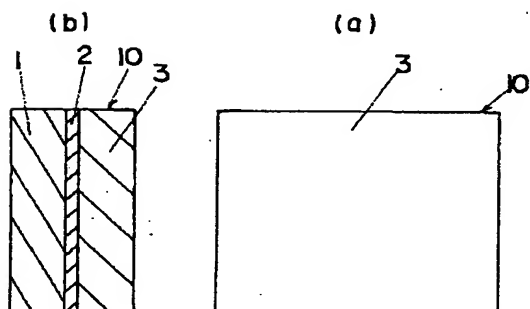
【図24】



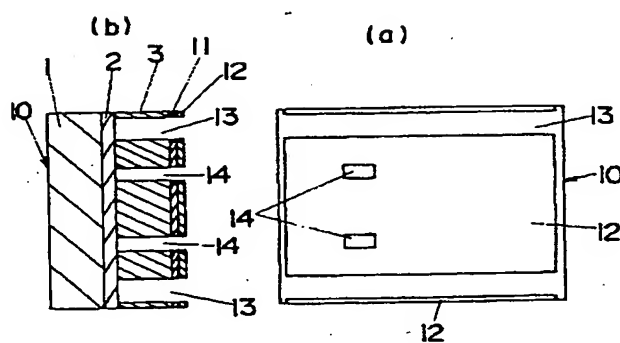
【図26】



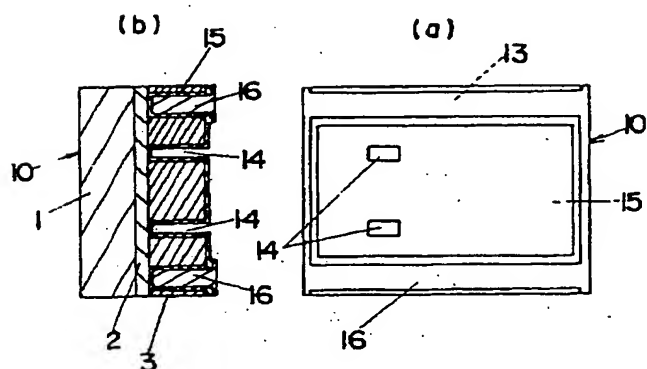
【図27】



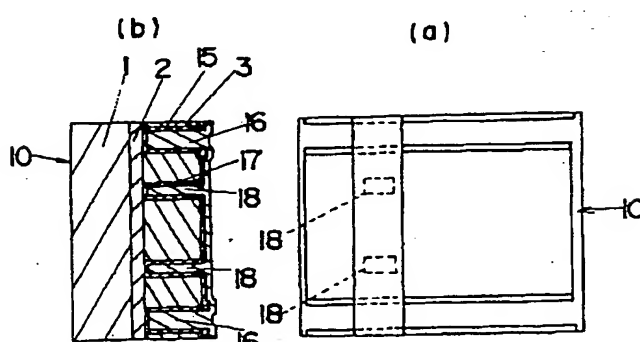
【図28】



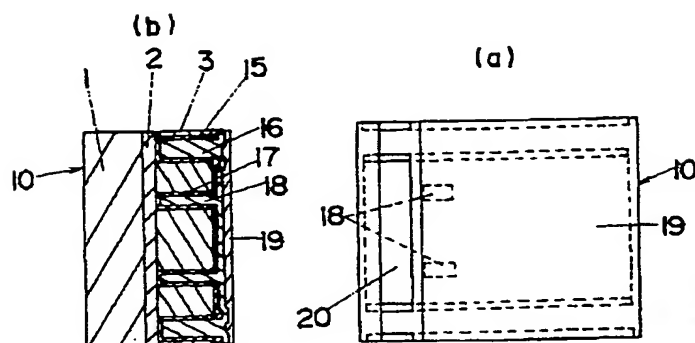
【図29】



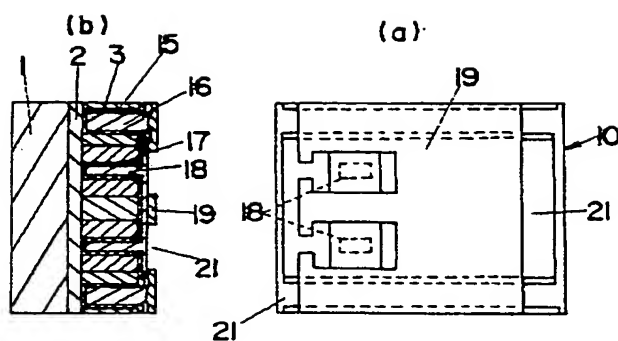
【図30】



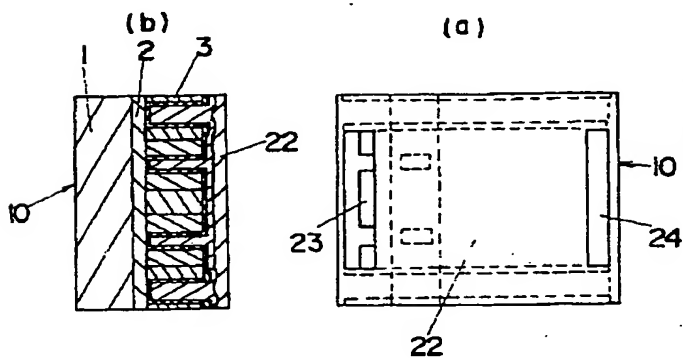
【図31】



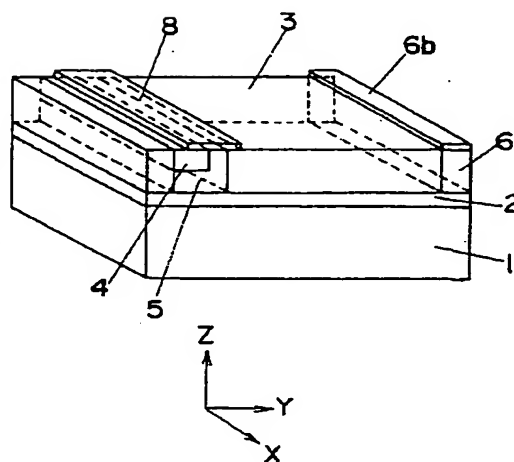
【図32】



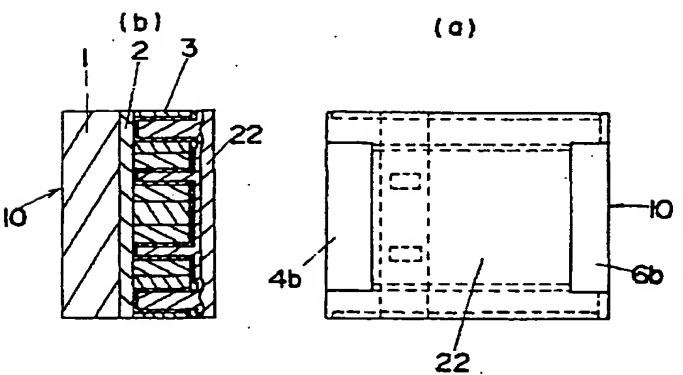
【図33】



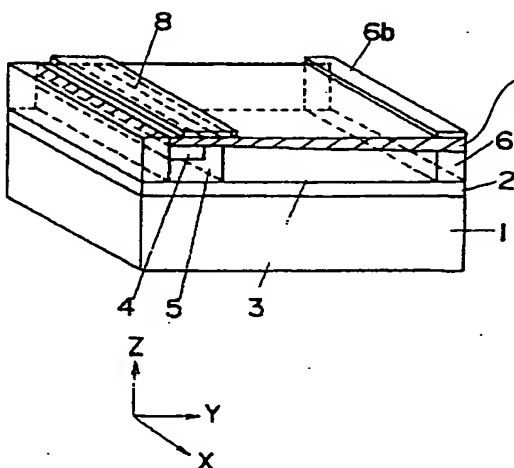
【図35】



【図34】

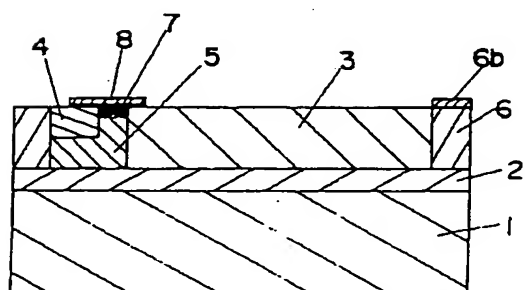


【図37】



電流通路

【図36】



フロントページの続き

(72)発明者 白井 良史

大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 岸田 貴司

大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 高野 仁路

大阪府門真市大字門真1048番地松下電工株  
式会社内